



DADES DEL LLOC DE TREBALL	
LLOC DE TREBALL:	TÈCNIC/A DE GRAU SUPERIOR DE SUPORT A LA RECERCA
UNITAT:	Teoria Senyal i Comunicacions
PROJECTE:	"Redes móviles eficientes para la ampliación de Servicios a Nuevos sectores profesionales (J-01846)." Aquest contracte es finança amb fons FEDER
CODI:	150-739-088
TERMINI PRESENTACIÓ DE SOL·LICITUDS:	25 d'abril de 2016

CONDICIONS LABORALS			
GRUP:	1	JORNADA:	35 h./set.
TIPUS DE CONTRACTE	Obra i Servei	DURADA PREVISTA:	Fins: 31/12/2016
SOU APROXIMAT PER LA JORNADA COMPLETA:	31.152,46 euros bruts/anual		

CARACTERÍSTIQUES DEL LLOC DE TREBALL	
REQUISITS:	Titulació universitària de cicle llarg preferentment en Enginyeria de Telecomunicacions.
MISSIÓ:	Desenvolupar una plataforma SW/HW de laboratori que permeti la emulació de arquitectures, procediments i algorismes per la necessària operativa de xarxes auto-organitzades (SON).
FUNCIONS I TASQUES:	Les funcions principals seran: <ul style="list-style-type: none">- Identificar els components radio HW/SW del mercat més idonis sobre la que fer créixer una plataforma HW/SW de assaig de laboratori.- Identificar els protocol més adients per implementar tant el concepte SDN com per a suportar la virtualització de la xarxa, amb especial èmfasi en els incorporat a la part de la xarxa d'accés radio per entorns micro-cel·lulars.- Dissenyar, implementar (fent servir tècniques SDR), i validar els punts d'accés radio de la plataforma.- Implementar la plataforma SW/HW de laboratori, integrant i fent servir els components HW/SW esmentats anteriorment. Validar el seu correcte funcionament, incloent el desenvolupament d'una interfície d'usuari gràfica per facilitar el seu us.
FORMACIÓ:	Coneixements en: <ul style="list-style-type: none">- Xarxes heterogènies LTE.- Programació orientada a objectes (C/C++) i MATLAB.- Integració HW/SW basat amb FPGAs.- Transceptors USRP.- Català, castellà i anglès parlats, llegits i escrits.



EXPERIÈNCIA:	<p>Experiència en:</p> <ul style="list-style-type: none">- Xarxes heterogènies LTE.- Programació orientada a objectes (C/C++) i MATLAB.- Integració HW/SW basat amb FPGAs.- Transceptors USRP.- Es valorarà experiència en funcions similars a les descrites, específicament, en el desenvolupament d'activitats de recerca, tant en l'entorn universitari com industrial.
--------------	--

DADES DEL TRIBUNAL	
MEMBRES DEL TRIBUNAL:	Unitat: Oriol Sallent Roig Suplent: Ferran Casadevall Palacio UASLR: Lourdes Moreno de Francisco Comitè: Pendent de confirmació
DATA CONSTITUCIÓ :	27 d'abril de 2016 a les 12.00 hores
LLOC DEL TRIBUNAL:	Sala de reunions del CTT, planta soterrani 1, Edifici Vèrtex
PROVES I/O ENTREVISTES:	En cas que el tribunal acordi realitzar proves i/o entrevistes aquestes es realitzaran el 2 de maig de 2016. La comunicació dels candidats pre-seleccionats, el lloc i l'hora de realització es comunicaran mitjançant aquesta mateixa web.